

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-211276
(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H04N 1/00
G03G 15/00
G06F 3/12
G06F 13/00
G06T 1/00

(21)Application number : 2000-019418
(22)Date of filing : 28.01.2000

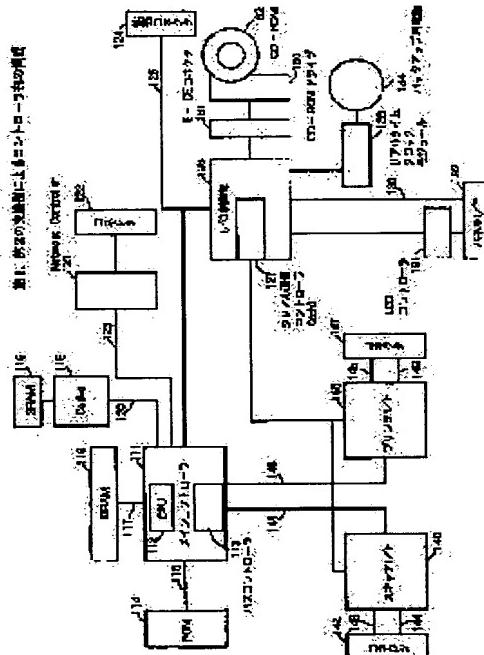
(71)Applicant : CANON INC
(72)Inventor : SHIMIZU YASUSHI

(54) IMAGE PROCESSOR AND ITS CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor for reducing power consumption of a chip, in which plural functional blocks to constitute a controller to execute various functions are incorporated, to suppress temperature rise of the chip and the increase processing speed.

SOLUTION: A serial controller 127 starts a communication processing with a scanner unit via a scanner I/F 140, while power is supplied by an instruction of a CPU 112, and when no response is obtained from a scanner part, even after a prescribed time elapses, a clock signal to a scanner controller in a main controller 111 is interrupted by the instruction of the CPU 112. The clock signal to a printer controller in the main controller 111 is similarly interrupted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-211276

(P2001-211276A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.
H 04 N 1/00
G 03 G 15/00
G 06 F 3/12
13/00 3 0 1
G 06 T 1/00

F I
H 04 N 1/00
G 03 G 15/00
G 06 F 3/12
13/00 3 0 1 M 5 C 0 6 2
15/66 J

マークコード(参考)

C 5 B 0 2 1

5 B 0 5 7

A 5 B 0 8 3

審査請求 未請求 請求項の数 5 OL (全 16 頁)

(21)出願番号 特願2000-19418(P2000-19418)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成12年1月28日(2000.1.28)

(72)発明者 清水 泰志

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 100066061

弁理士 丹羽 宏之 (外1名)

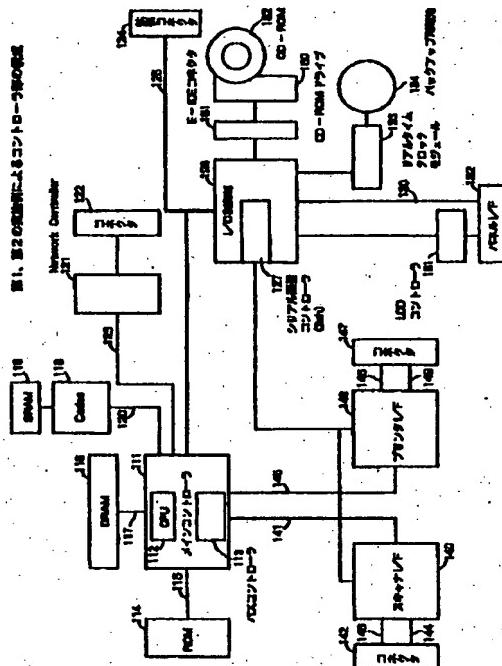
(54)【発明の名称】 画像処理装置及びその制御方法

最終頁に続く

(57)【要約】

【課題】 さまざまな機能を実行させるためのコントローラを構成する複数の機能ブロックが組み込まれたチップの消費電力を削減すると共に、チップの昇温を抑え、処理速度の向上を図った画像処理装置を提供する。

【解決手段】 電源オン時にCPU112の指示によりシリアルコントローラ127にスキャナ1/F140を介してスキャナユニットと通信処理を開始させ、所定時間経過してもスキャナ部から応答がなかった場合にはCPU112の指示によりメインコントローラ111内のスキャナコントローラへのクロック信号を遮断する。同様にしてメインコントローラ111内のプリントコントローラへのクロック信号を遮断する。



【特許請求の範囲】

【請求項1】 所定の機能を有したデバイスを接続可能な画像処理装置であって、前記デバイスを制御するデバイス制御手段と、前記デバイスとの通信を行う通信手段とを備え、前記通信手段による前記デバイスとの通信が不可能であるときに前記デバイス制御手段からのクロック信号を遮断することを特徴とする画像処理装置。

【請求項2】 デバイスはスキャナ装置であることを特徴とする請求項1記載の画像処理装置。

【請求項3】 デバイスはプリンタ装置であることを特徴とする請求項1記載の画像処理装置。

【請求項4】 デバイスはファクシミリ装置であることを特徴とする請求項1記載の画像処理装置。

【請求項5】 所定の機能を有したデバイスを接続可能な画像処理装置の制御方法であって、デバイス制御手段は前記デバイスを制御し、通信手段により前記デバイスとの通信を行い、前記通信手段による前記デバイスとの通信が不可能であるときに前記デバイス制御手段からのクロック信号を遮断することを特徴とする画像処理装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スキャナ、プリンタで構成されるデジタル複写機等の画像処理装置及びその制御方法に関するものである。

【0002】

【従来の技術】 近年、HDL、シミュレーション、実装技術の進歩により、様々な機能を実行させるためのコントローラを構成する複数の機能ブロックを1つのチップに組み込んだワンチップマイコン（以下、チップ）の開発が行われている。また、通常このようなチップでは、その設計やコストの面から大量生産を考慮するため、複数の製品で同一のものを使用する場合が多い。

【0003】

【発明が解決しようとする課題】 しかしながら、このようなチップは大規模になり、内部の機能ブロックをすべて同時に動作させると大量の熱量を発生し、チップ自体が破壊されてしまう恐れがあるという問題点があった。

【0004】 このような場合において、チップ内で、予め使用しないことが判明している機能ブロックにクロックを供給することは余分な消費電力を伴うばかりか、チップの昇温を加速させ、チップの破壊の原因にもなり得る。

【0005】 また、予め使用しない機能ブロックにクロックを供給することにより、装置全体の処理速度の低下につながるという問題点があった。

【0006】 本発明は、上記のような問題点を解決するためになされたものであり、チップの消費電力を削減すると共に、チップの昇温を抑え、処理速度の向上を図った画像処理装置及びその制御方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明の画像処理装置及びその制御方法は次のように構成したものである。

【0008】 (1) 所定の機能を有したデバイスを接続可能な画像処理装置において、前記デバイスを制御するデバイス制御手段と、前記通信手段による前記デバイスとの通信が不可能であるときに前記デバイス制御手段からのクロック信号を遮断するようにした。

【0009】 (2) 上記(1)の画像処理装置において、デバイスはスキャナ装置とした。

【0010】 (3) 上記(1)の画像処理装置において、デバイスはプリンタ装置とした。

【0011】 (4) 上記(1)の画像処理装置において、デバイスはファクシミリ装置とした。

【0012】 (5) 所定の機能を有したデバイスを接続可能な画像処理装置の制御方法において、デバイス制御手段は前記デバイスを制御し、通信手段により前記デバイスとの通信を行い、前記通信手段による前記デバイスとの通信が不可能であるときに前記デバイス制御手段からのクロック信号を遮断するようにした。

【0013】

【発明の実施の形態】 (第1の実施例) 本実施例として図1に複合画像入出力システム（複合画像入出力装置）の全体構成を挙げ、図1を参照しながら説明する。

【0014】 図1は第1の実施例による画像入出力装置（画像処理装置）の構成を示すブロック図であり、同図において、100は画像入出力システム（画像入出力装置）である。リーダー部（画像入力装置）200は、原稿画像を光学的に読み取り、画像データに変換する。リーダー部200は、原稿を読み取るための機能を持つスキャナユニット210と、原稿用紙を搬送するための機能を持つ原稿給紙ユニット250とで構成される。

【0015】 プリンタ部（画像出力装置）300は、記録紙を搬送し、その上に画像データを可視画像として印字して装置外に排紙する。プリンタ部300は、複数種類の記録紙カセットを持つ給紙ユニット310と、画像データを記録紙に転写、定着させる機能を持つマーキングユニット320と、印字された記録紙をソート、ステイブルして機外へ出力する機能を持つ排紙ユニット330とで構成される。

【0016】 制御装置（コントローラ部）110は、リーダー部200、プリンタ部300と電気的に接続され、さらにネットワーク（LAN）400を介して、ホストコンピュータ401、402と接続されている。

【0017】 制御装置110は、リーダー部200を制御して、原稿の画像データを読み込み、プリンタ部300を制御して画像データを記録用紙に出力してコピー機能を提供する。また、リーダー部200から読み取った

画像データを、コードデータに変換し、ネットワーク400を介してホストコンピュータへ送信するスキャナ機能、ホストコンピュータからネットワーク400を介して受信したコードデータを画像データに変換し、プリンタ部300に出力するプリンタ機能、を提供する。

【0018】操作部150は、制御装置110に接続され、液晶タッチパネルで構成され、画像入出力システムを操作するためのユーザI/Fを提供する。CD-ROM160は制御装置110に接続され、制御装置110により制御される。

【0019】図2は図1のリーダー部200及びプリンタ部300の構成を示す断面図である。リーダー部200の原稿給送ユニット250は原稿を先頭順に1枚ずつプラテンガラス211上へ給送し、原稿の読み取り動作終了後、プラテンガラス211上の原稿を排出するものである。原稿がプラテンガラス211上に搬送されると、ランプ212を点灯し、そして光学ユニット213の移動を開始させて、原稿を露光走査する。

【0020】このときの原稿からの反射光は、ミラー214、215、216及びレンズ217によってCCDイメージセンサ(以下CCDという)218へ導かれる。このように、走査された原稿の画像はCCD218によって読み取られる。CCD218から出力される画像データは、所定の処理が施された後、制御装置110へ転送される。

【0021】プリンタ部300のレーザドライバ321はレーザ発光部322を駆動するものであり、制御装置110から出力された画像データに応じたレーザ光をレーザ発光部322に発光させる。このレーザ光は感光ドラム323に照射され、感光ドラム323にはレーザ光に応じた潜像が形成される。この感光ドラム323の潜像の部分には現像器324によって現像剤が付着される。

【0022】そして、レーザ光の照射開始と同期したタイミングで、カセット311及びカセット312のいずれかから記録紙を給紙して転写部325へ搬送し、感光ドラム323に付着された現像剤を記録紙に転写する。現像剤の乗った記録紙は定着部326に搬送され、定着部326の熱と圧力により現像剤は記録紙に定着される。定着部326を通過した記録紙は排出口327によって排出され、排紙ユニット330は排出された記録紙を束ねて記録紙の仕分けをしたり、仕分けされた記録紙のステイプルを行う。

【0023】また、両面記録が設定されている場合は、排出口327のところまで記録紙を搬送した後、排出口327の回転方向を逆転させ、フラッパ328によって再給紙搬送路329へ導く。再給紙搬送路329へ導かれた記録紙は上述したタイミングで転写部325へ給紙される。

【0024】〈制御装置の説明〉制御装置110の機能

を、図3に示すブロック図に基づいて説明する。

【0025】図3に示すメインコントローラ111は、主にCPU112と、バスコントローラ113、各種I/Fコントローラ回路とから構成される。

【0026】CPU112とバスコントローラ113は制御装置110全体の動作を制御するものであり、CPU112はROM114からROM-I/F115を経由して読み込んだプログラムに基づいて動作する。また、ホストコンピュータから受信したPDL(ページ記述言語)、コードデータを解釈し、ラスターイメージデータに展開する動作も、このプログラムに記述されており、ソフトウェアによって処理される。バスコントローラ113は各I/Fから入出力されるデータ転送を制御するものであり、バス競合時の調停やDMAデータ転送の制御を行う。

【0027】DRAM116はDRAM-I/F117によってメインコントローラ111と接続されており、CPU112が動作するためのワークエリアや、画像データを蓄積するためのエリアとして使用される。

【0028】Codec118は、DRAM116に蓄積されたラスターイメージデータをMH/MR/MMR/JBIG等の方式で圧縮し、また逆に圧縮され蓄積されたコードデータをラスターイメージデータに伸長する。SRAM119はCodec118の一時的なワーク領域として使用される。Codec118はI/F120を介してメインコントローラ111と接続され、DRAM116との間のデータの転送は、バスコントローラ113によって制御されDMA転送される。

【0029】Network Controller121はI/F122によってメインコントローラ111と接続され、コネクタ122によって外部ネットワークと接続される。ネットワークとしては一般的にイーサネットが挙げられる。

【0030】汎用高速バス125には、拡張ボードを接続するための拡張コネクタ124とI/O制御部126とが接続される。汎用高速バスとしては、一般的にPCバスが挙げられる。

【0031】I/O制御部126には、リーダー部200、プリンタ部300の各CPUと制御コマンドを送受信するための調歩同期シリアル通信コントローラ127が2チャンネル装備されており、I/Oバス128によって外部I/F回路140、145に接続されている。

【0032】パネルI/F132は、LCDコントローラ131に接続され、操作部150上の液晶画面に表示を行うためのI/Fと、ハードキー・タッチパネルキーの入力を用いたキー入力I/F130とから構成される。

【0033】操作部150は液晶表示部と液晶表示部上面に張り付けられたタッチパネル入力装置と、複数個のハードキーを有する。タッチパネルまたはハードキーによ

り入力された信号は前述したパネルI/F132を介してCPU112に伝えられ、液晶表示部はパネルI/F520から送られてきた画像データを表示するものである。液晶表示部には、本画像形成装置（画像入出力装置）の操作における機能表示や画像データ等を表示する。

【0034】リアルタイムクロックモジュール133は、機器内で管理する日付と時刻を更新／保存するためのもので、バックアップ電池134によってバックアップされている。

【0035】E-IDEインターフェース161は、外部記憶装置を接続するためのものである。このI/Fを介してハードディスクやCD-ROMドライブを接続し、プログラムや画像データを書き込んだり読み込んだりすることができる。

【0036】コネクタ142、147は、それぞれリーダー部200とプリンタ部300とに接続され、同調歩同期シリアルI/F143、148とビデオI/F144、149とから構成される。

【0037】スキャナI/F140は、コネクタ142を介してリーダー部200と接続され、また、スキャナバス141によってメインコントローラ111と接続されており、リーダー部200から受け取った画像を、その後の過程における処理の内容によって、最適な2値化を行ったり、主走査・副走査の変倍処理を行ったりする機能を有し、さらに、リーダー部200から送られたビデオ制御信号をもとに生成した制御信号を、スキャナバス141に出力する機能も有する。

【0038】スキャナバス141からDRAM116へのデータ転送は、バスコントローラ113によって制御される。

【0039】プリンタI/F145は、コネクタ147を介してプリンタ部300と接続され、また、プリンタバス146によってメインコントローラ111と接続されており、メインコントローラ111から出力された画像データにスムージング処理をして、プリンタ部300へ出力する機能を有し、さらに、プリンタ部300から送られたビデオ制御信号をもとに生成した制御信号を、プリンタバス146に出力する機能も有する。

【0040】DRAM116上に展開されたラスターイメージデータのプリンタ部への転送は、バスコントローラ113によって制御され、プリンタバス146、ビデオI/F149を経由して、プリンタ部300へDMA転送される。

【0041】（メインコントローラの説明）図4はメインコントローラ111の構成を示すブロック図である。

【0042】図4において、401はプロセッサコアであり、64ビットのプロセッサバス（Pバス）を介して、システム・バス・ブリッジ（SBB）402に接続される。SBB402は4×4の64ビットクロスバス

スイッチであり、プロセッサコントローラ401の他に、キャッシュメモリを備えたSDRAMやROMを制御するメモリコントローラ403と専用のローカルバス（MCバス）で接続されており、さらに、グラフィックバスであるGバス404、IOバスであるIOバス405と接続され、全部で4つのバスに接続される。SBB402は、これら4モジュール間を、可能な限り、同時平行接続を確保することができるよう設計されている。

【0043】また、データの圧縮伸長ユニット（codec）418とも、codec-I/Fを介して接続されている。

【0044】Gバス404はGバスアービタ（GBA）406により強調制御されており、スキャナやプリンタと接続するためのスキャナ／プリンタコントローラ（SPC）408に接続される。また、IOバス405は、IOバスアービタ（BBA）407により強調制御されており、SPC408のほか、電力管理ユニット（PMU）409、インタラプトコントローラ（IC）410、UARTを用いたシリアルインターフェースコントローラ（SIC）411、USBコントローラ412、IEEE1284を用いたパラレルインターフェースコントローラ（PIC）413、イーサネットを用いたLANコントローラ（LANC）414、LCDパネル、キー、汎用入出力コントローラ（PC）415、PCIバスインターフェース（PCIC）416にも接続されている。

【0045】PC415には、表示パネルやキーボードを備えた操作パネル417が接続される。

【0046】（インタラプトコントローラの説明）インタラプトコントローラ410は、IOバスインターフェースを介してIOバス405に接続され、メインコントローラチップ内の各機能ブロック及び、チップ外部からのインタラプトを集積し、CPUコア401がサポートする、6レベルの外部インタラプト及び、ノンマスカブルインタラプト（NMI）に再分配する。

【0047】各機能ブロックとは、電力管理ユニット409、シリアルインターフェースコントローラ411、USBコントローラ412、パラレルインターフェースコントローラ413、イーサネットコントローラ414、汎用IOコントローラ415、PCIインターフェースコントローラ416、スキャナ／プリンタコントローラ408などである。

【0048】（メモリコントローラの説明）メモリコントローラ403は、メモリコントローラ専用のローカルバスであるMCバスにMCバスインターフェースを介して接続され、シンクロナスDRAM（SDRAM）やフラッシュROMやROMを制御する。

【0049】（システムバスブリッジの説明）図5はSBB402の詳細構成を示すブロック図である。図5に

示すように、SBB402は、I/Oバス（入出力バス）、Gバス（グラフィックバス）、Pバス（プロセッサローカルバス）及びMCバス間の相互接続をクロスバススイッチを用いて提供する、マルチチャネル双方向バスプリッジである。クロスバススイッチにより、2系統の接続を同時に確立することができ、並列性の高い高速データ転送を実現できる。

【0050】SBB402は、I/Oバス405と接続するためのI/Oバスインターフェースと、Gバス404と接続するためのGバスインターフェース2006と、プロセッサコア401と接続するためのCPUインターフェーススレーブポート2002と、メモリコントローラ403と接続するためのメモリインターフェースマスターポートを備えるほか、アドレスバスを接続するアドレススイッチ2003、データバスを接続するデータスイッチ2004を含む。また、プロセッサコアのキャッシュメモリを無効化するキャッシュ無効化ユニット2005を備えている。

【0051】（PCIバスインターフェースの説明）PCIバスインターフェース416は、メインコントローラ内部汎用I/OバスであるI/Oバスと、チップ外部I/OバスであるPCIバスの間をインターフェースするブロックである。

【0052】（Gバスアービタ、Bバスアービタの説明）Gバスアービトリレーションは、中央アービトリレーション方式であり、各バスマスタに対して専用のリクエスト信号とグラント信号を持つ。

【0053】このアービタは制御方法をプログラミングすることができる。また、バスマスタへの優先権の与え方として、すべてのバスマスタを同じ優先権として、公平にバス権を与える公平アービトリレーションモードと、いずれか一つのバスマスタの優先権を上げ、優先的にバスを使用させる優先アービトリレーションモード、のどちらかを指定できる。

【0054】Bバスアービタ407は、I/O汎用バスであるBバス405のバス使用要求を受け付け、調停の後、使用許可を選択された一つのマスタに対して与え、同時に2つ以上のマスタがバスアクセスを行うことを禁止する。

【0055】アービトリレーション方式は、3段階のプライオリティを持ち、それぞれのプライオリティに複数のマスタをプログラマブルに割り当てられる構成になっている。

【0056】（スキャナコントローラ／プリンタコントローラ）図6はスキャナコントローラ／プリンタコントローラの接続構成を示すブロック図であり、スキャナ／プリンタコントローラ408は、Video I/Fによってスキャナ及びプリンタと接続され、内部バスGバス及びBバスにインターフェースするブロックである。大別して以下の3つのブロックから構成される（図5参

照）。

【0057】・スキャナコントローラ

スキャナとビデオI/Fで接続され、動作制御及びデータ転送制御を行う。Gバス／Bバス I/Fユニット（GBI）4301Aとは、I/Fバスで接続され、データ転送及びレジスタのリード／ライトが行われる。

【0058】・プリンタコントローラ

プリンタとビデオI/Fで接続され、動作制御及びデータ転送制御を行う。GBI4301Bとは、I/Fバスで接続され、データ転送及びレジスタのリード／ライトが行われる。

【0059】・Gバス／Bバス I/Fユニット（GBI）

スキャナコントローラ4302及びプリンタコントローラ4303をGバスまたはBバスに接続するためのユニットである。スキャナコントローラ4302とプリンタコントローラ4303にそれぞれ独立して接続され、GバスとBバスの両方に接続されている。

【0060】・CPバス

スキャナとプリンタの画像データ及び水平垂直同期のための同期信号を直結するためのバスである。

【0061】（電力管理ユニットの説明）CPUを内蔵した大規模なASICである。このため、内部のロジックが全部同時に動作してしまうと、大量の熱を発生し、チップ自体が破壊されてしまう恐れがある。これを防ぐために、メインコントローラ111は、ブロック毎の電力の管理、すなわちパワーマネジメントを行い、さらにチップ全体の消費電力量の監視を行う。

【0062】パワーマネジメントは、それぞれのブロックが各自個別に行う。各ブロックの消費電力量の情報は、パワーマネージメントレベルとして、電力管理ユニット（PMU）409に集められる。PMU409では、各ブロックの消費電力量を合計し、その値が限界消費電力を超えないように、メインコントローラの各ブロックの消費電力量を一括して監視する。

【0063】次に、本実施例ではリーダー装置200が接続されていない場合、すなわち画像入出力システムが図7に示されるような処理について具体的な説明を図11のフローチャートを用いて説明する。

【0064】まず、複合画像入出力装置システム100の電源をONすることにより制御装置110の電源がONになる。制御装置110ではまずメインコントローラ111が制御装置110内の各ユニットへの動作クロックの供給をONにする。クロックの供給は図13に示すように各機能ブロックの具備するクロック制御502にCPU401がクロック供給を指示することによりゲート503をオープンすることにより行う。

【0065】このときSTEP101でスキャナコントローラ（デバイス制御手段）4302及びG-Bus/B-Bus I/FUnit4301Aにも前述のクロ

ック制御502によりクロックが供給される。

【0066】STEP102でCPU401はI/O制御部126を介してシリアル通信コントローラ（通信手段）127を制御し、シリアル通信にて、スキャナ1/F140、コネクタ142を経てリーダー装置200と通信処理の開始を試みる。

【0067】STEP103でリーダー装置200からの応答が有った場合は処理をSTEP104に進め、リーダー装置の構成情報（例えば解像度やDFユニット250の機能等）を取得し、処理を終了する。

【0068】STEP103でリーダー装置200からの応答が無い場合にはSTEP105に処理を移行する。STEP103では通信のタイムアウト時間（所定時間）を計測し、所定時間経過した場合は処理をSTEP104、そうでない場合はSTEP103に戻りリーダー装置200からの応答を待つ。

【0069】STEP104でタイムアウトとなった場合には処理をSTEP106へ進める。

【0070】STEP106ではCPU401はリーダー装置200が接続されていないと認識し、スキャナコントローラ4302及びG-Bus/B-Bus I/FUnit4301Aの装備するクロック制御502にクロックの供給を止めることを指示し、ゲート503をクローズする。

【0071】これにより機のブロック501、すなわちスキャナコントローラ4302及びG-Bus/B-Bus I/FUnit4301Aの動作は完全に停止する。以上のように、CPU401と共にワンチップで構成された機能ブロックであるスキャナコントローラ4302の先に接続されているはずのリーダー装置200が接続されていない場合において、機能ブロック501の持つクロック制御回路502をCPU401から制御することにより、スキャナコントローラ4302及びG-Bus/B-Bus I/FUnit4301Aへのクロック供給を停止させることが可能となる。

【0072】このように本実施例では、電源起動後からリーダー装置200が接続されていない場合には、リーダー装置200にかかる処理の処理負荷を全く考慮すること無く装置全体が動作可能となるため、装置全体が効率よく動作可能であると共に、昇温によってメインコントローラチップ（メインコントローラ111）が破壊される心配の軽減、あるいは消費電力の軽減が可能となる。

【0073】（第2の実施例）第1の実施例ではリーダー装置200が接続されていない場合について述べた。

【0074】本実施例では図9に示すようなプリンタ装置300が接続されていない場合の処理について、図12のフローチャートに沿って述べる。

【0075】まず、複合画像入出力システム100の電源をONすることにより制御装置110の電源がONに

なる。制御装置110ではまずメインコントローラ111が制御装置110内の各ユニットへの動作クロックの供給をONにする。クロックの供給は図13に示すように各機能ブロックの具備するクロック制御502にCPU401がクロック供給を指示することによりゲート503をオープンすることにより行う。

【0076】このときSTEP202でプリンタコントローラ（デバイス制御手段）4303及びG-Bus/B-Bus I/FUnit4301Bにも前述のクロック制御502によりクロックが供給される。

【0077】STEP202でCPU401はI/O制御部126を介してシリアル通信コントローラ（通信手段）127を制御し、シリアル通信にて、プリンタI/F145、コネクタ147を経てプリンタ装置300と通信処理の開始を試みる。

【0078】STEP203でプリンタ装置300からの応答が有った場合は処理をSTEP204に進め、プリンタ装置の構成情報（例えば給紙カセットの紙サイズやカセットの最大給紙枚数など）を取得し、処理を終了する。

【0079】STEP203でプリンタ装置300からの応答が無い場合にはSTEP205に処理を移行する。STEP203では通信のタイムアウト時間（所定時間）を計測し、所定時間経過した場合は処理をSTEP204、そうでない場合はSTEP203に戻りプリンタ装置300からの応答を待つ。

【0080】STEP204でタイムアウトとなった場合には処理をSTEP206へ進める。

【0081】STEP206ではCPU401はプリンタ装置300が接続されていないと認識し、プリンタコントローラ4303及びG-Bus/B-Bus I/FUnit4301Bの装備するクロック制御502にクロックの供給を止めることを指示し、ゲート503をクローズする。

【0082】これにより機のブロック501、すなわちプリンタコントローラ4303及びG-Bus/B-Bus I/FUnit4301Bの動作は完全に停止する。以上のように、CPU401と共にワンチップで構成された機能ブロックであるプリンタコントローラ4303の先に接続されているはずのプリンタ装置300が接続されていない場合において、機能ブロック501の持つクロック制御回路502をCPU401から制御することにより、プリンタコントローラ4303及びG-Bus/B-Bus I/FUnit4301Bへのクロック供給を停止させることが可能となる。

【0083】このように本実施例では、電源起動後からプリンタ装置300が接続されていない場合には、プリンタ装置300にかかる処理の処理負荷を全く考慮すること無く装置全体が動作可能となるため、第1の実施例と同様、装置全体が効率よく動作可能であると共に、昇

温によってメインコントローラチップ（メインコントローラ111）が破壊される心配の軽減、あるいは消費電力の軽減が可能となる。

【0084】このように上記第1、第2の実施例では、ワンチップマイコンを使用したデジタル複写機において、電源ON時に製品構成を認識し、装置にデバイスが接続されていない場合によりデバイスを使用する際に必要となる機能ブロックへの動作クロックの供給を断つことにより、機能ブロックを停止させ、チップの消費電力を削減すると共に、製品化の際に妨げとなる消費電力の問題や、昇温によるチップ破壊等の問題の発生を予防し、装置内の他の機能ブロックを効率的に動作させ処理速度を向上させることができる。

【0085】なお、上記第1、第2の実施例では、デバイスとしてスキャナ装置、プリンタ装置により説明したが、本発明はこれに限らず、デバイスとしてファクシミリ装置等にも適用可能である。

【0086】

【発明の効果】以上説明したように、本発明によれば、不要となる機能ブロックへのクロック信号の供給を断つことによって、機能ブロックへの動作を完全に停止させ、消費電力を削減すると共に、製品化の際に妨げとなる消費電力の問題や、昇温によるチップ破壊等の問題の発生を予防し、なおかつ、装置内の他の機能ブロックを効率的に動作させ処理速度を向上させることができる。

【図面の簡単な説明】

【図1】 第1の実施例による画像入出力装置の構成を示す図

【図2】 図1のリーダー部及びプリンタ部の構成を示す断面図

【図3】 第1、第2の実施例によるコントローラ部の構成を示すブロック図

【図4】 第1、第2の実施例によるメインコントローラの構成を示すブロック図

【図5】 第1、第2の実施例によるメインコントローラの構成を示すブロック図

【図6】 第1、第2の実施例によるメインコントローラの構成を示すブロック図

【図7】 第1の実施例による画像入出力装置の構成を示す断面図

【図8】 第1の実施例によるメインコントローラの構成を示すブロック図

【図9】 第1の実施例による画像入出力装置の構成を示す断面図

【図10】 第2の実施例によるメインコントローラの構成を示すブロック図

【図11】 第1の実施例の処理手順を示すフローチャート

【図12】 第2の実施例の処理手順を示すフローチャート

【図13】 第1、第2の実施例による動作クロック制御構成を示すブロック図

【符号の説明】

100 画像入出力装置

110 制御装置

111 メインコントローラ

112 CPU

113 バスコントローラ

126 I/O制御部

127 シリアル通信コントローラ（通信手段）

140 スキャナI/F

145 プリンタI/F

200 リーダー部

210 スキャナユニット

250 原稿給紙ユニット

401 CPU

408 スキャナ/プリンタコントローラ

501 機能ブロック

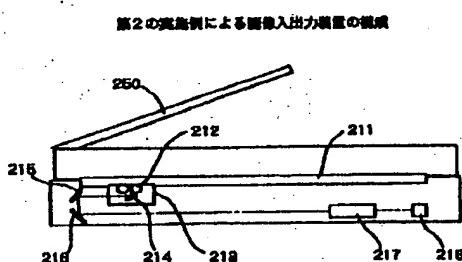
502 クロック制御

503 ゲート

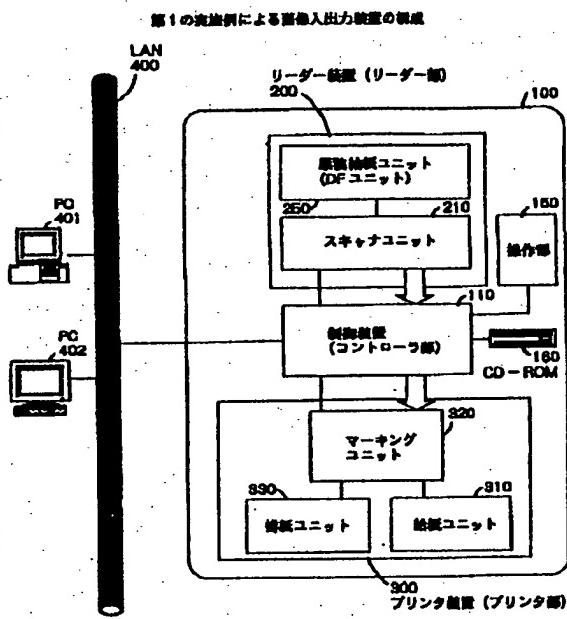
4302 スキャナコントローラ（デバイス制御手段）

4303 プリンタコントローラ（デバイス制御手段）

【図9】

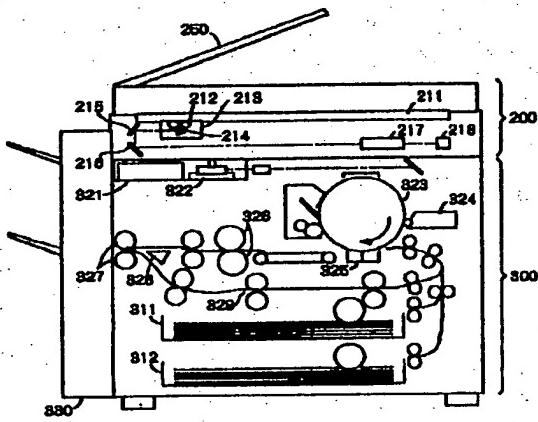


【図1】



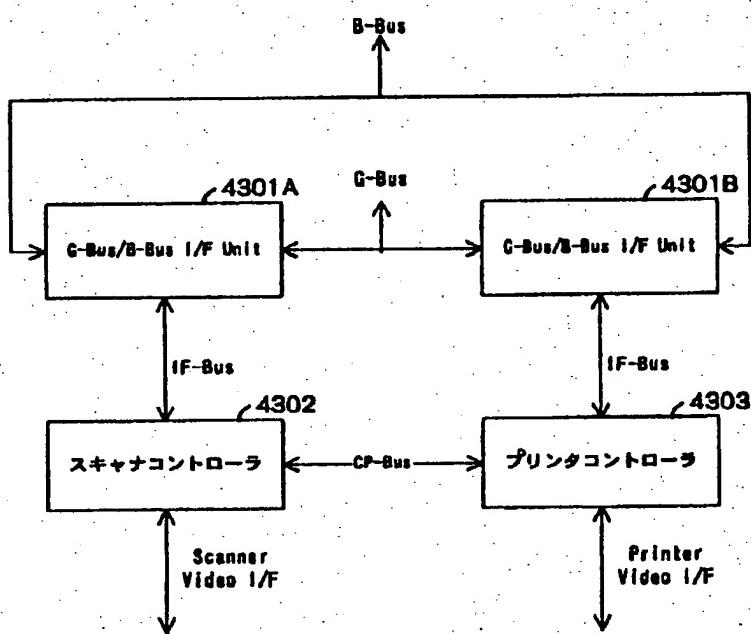
【図2】

図1のリーダ部及びプリンタ部の構成

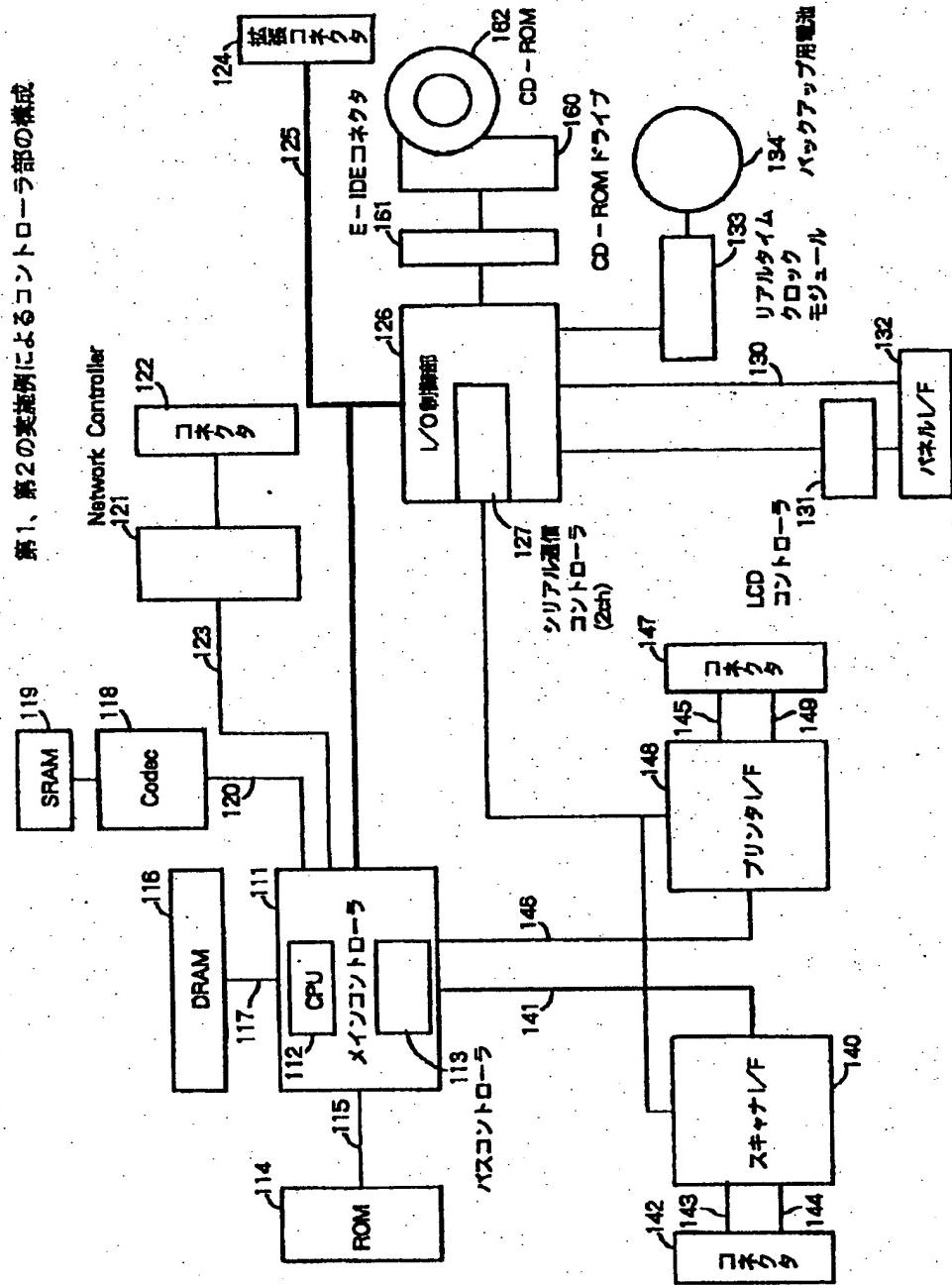


【図6】

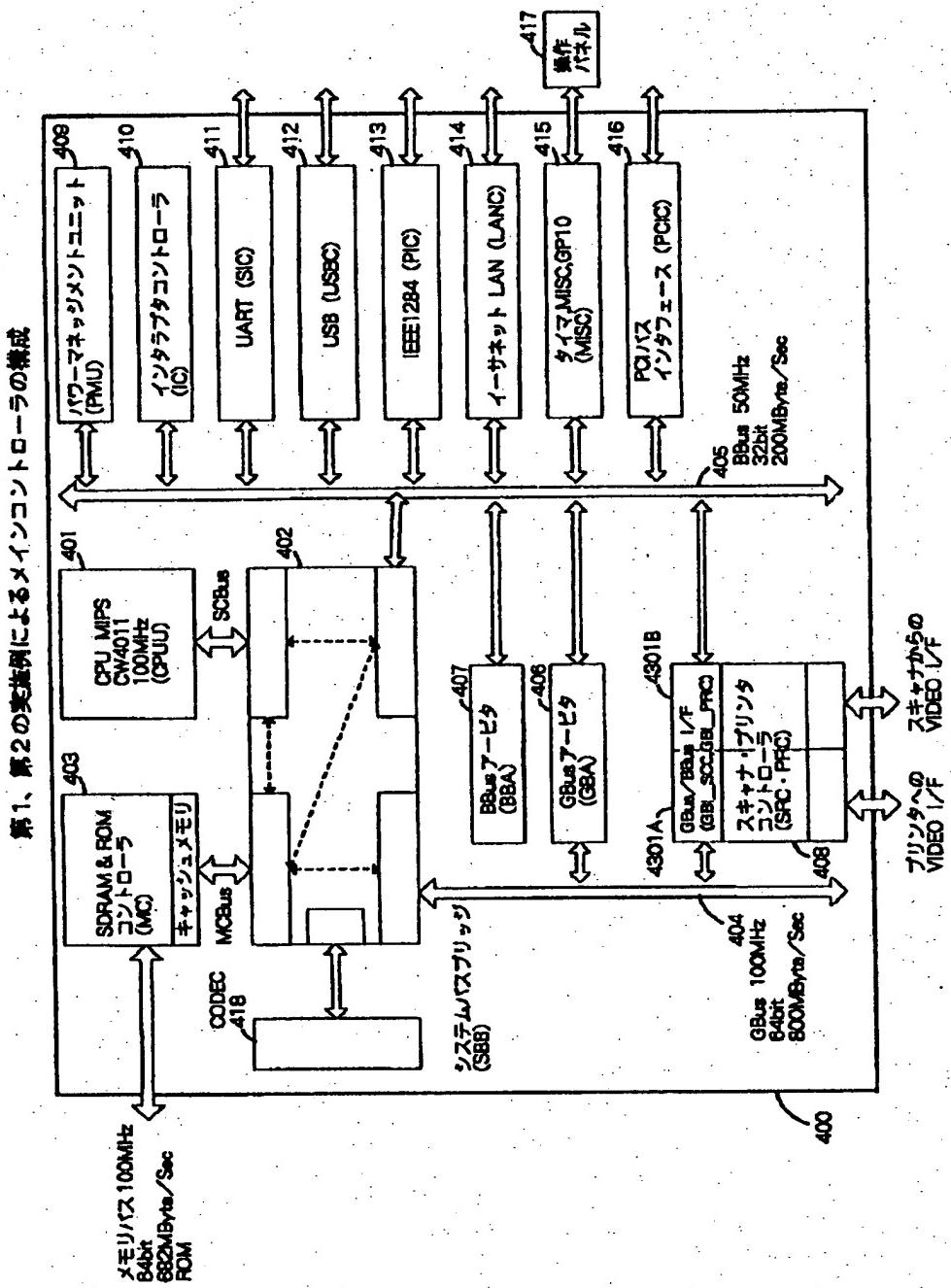
第1、第2の実施例によるメインコントローラの構成



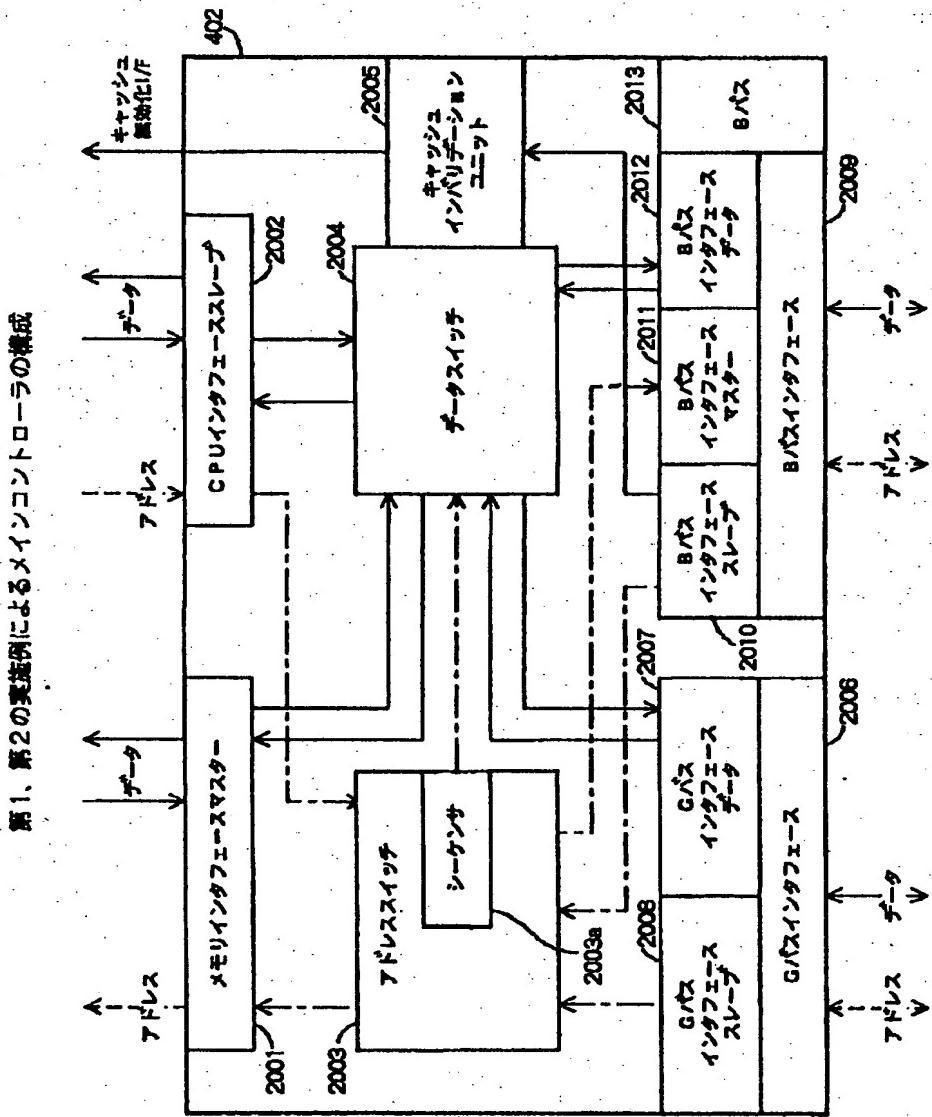
【図3】



[図4]

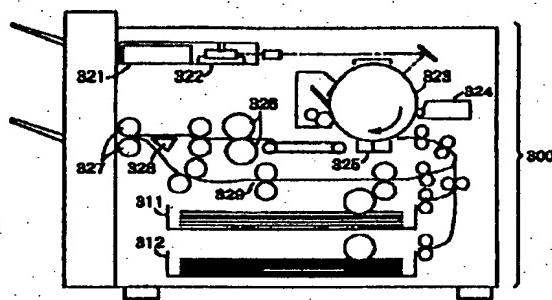


【図5】



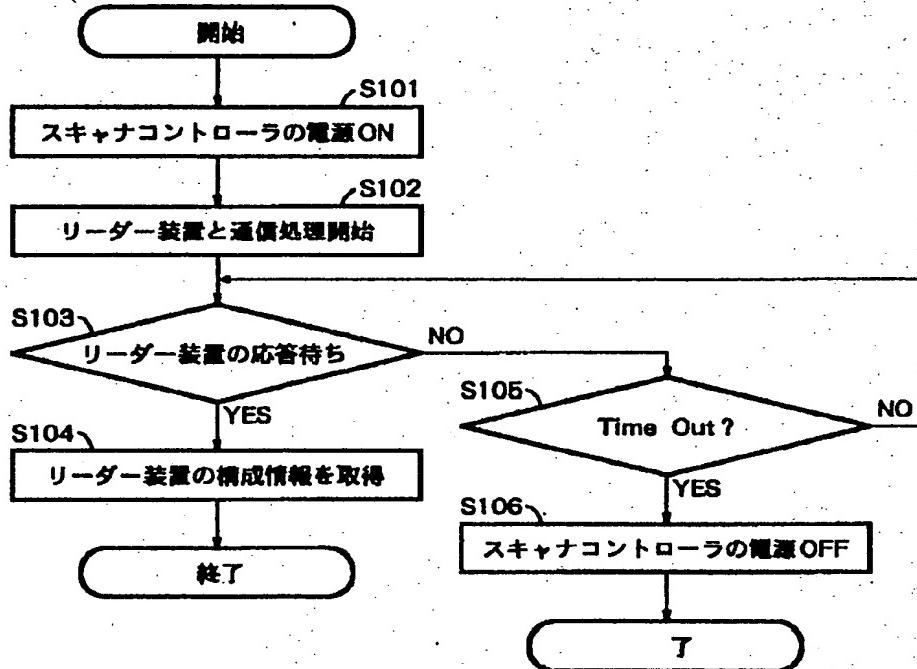
【図7】

第1の実施例による画像入出力装置の構成



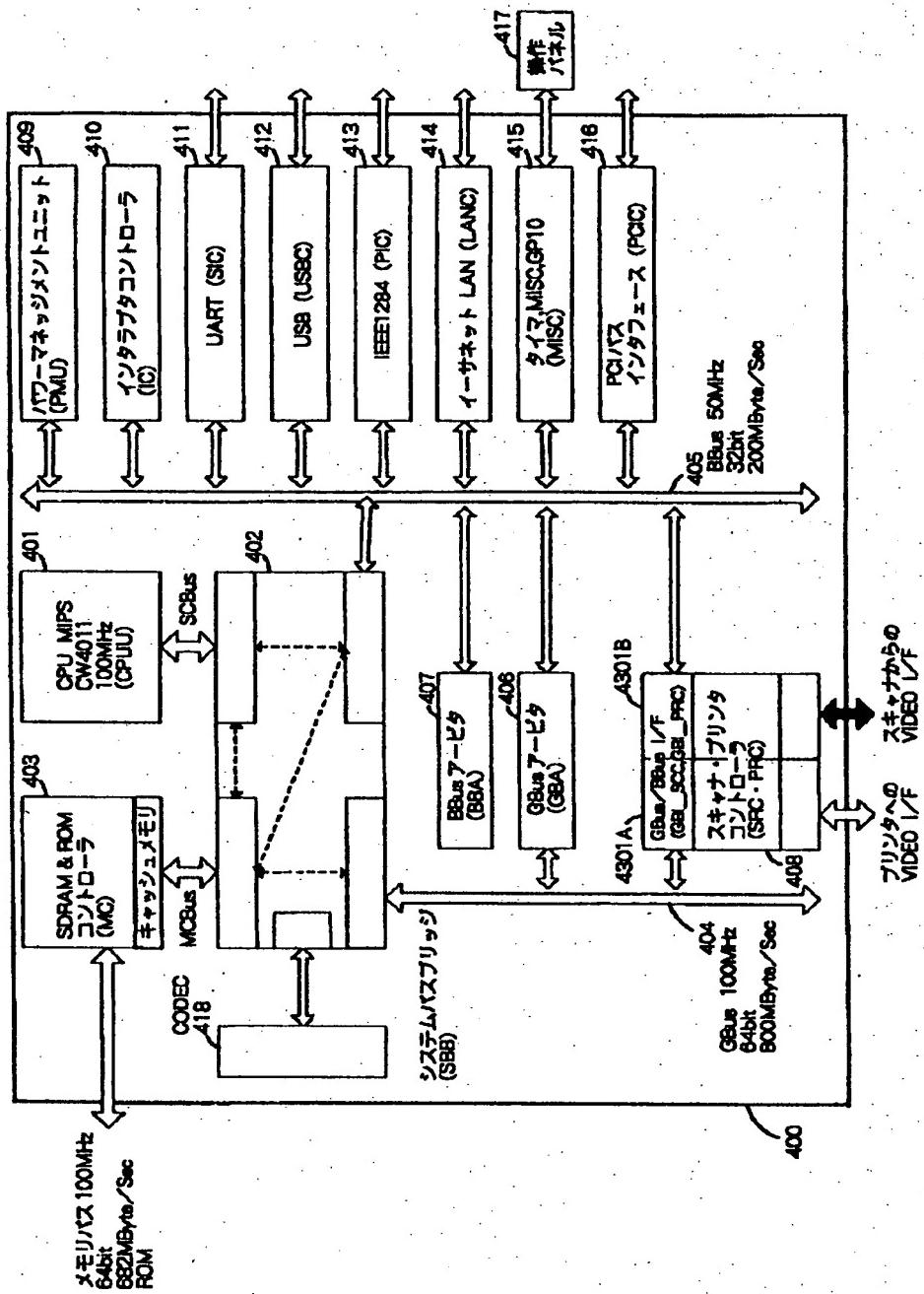
【図11】

第1の実施例の処理手順



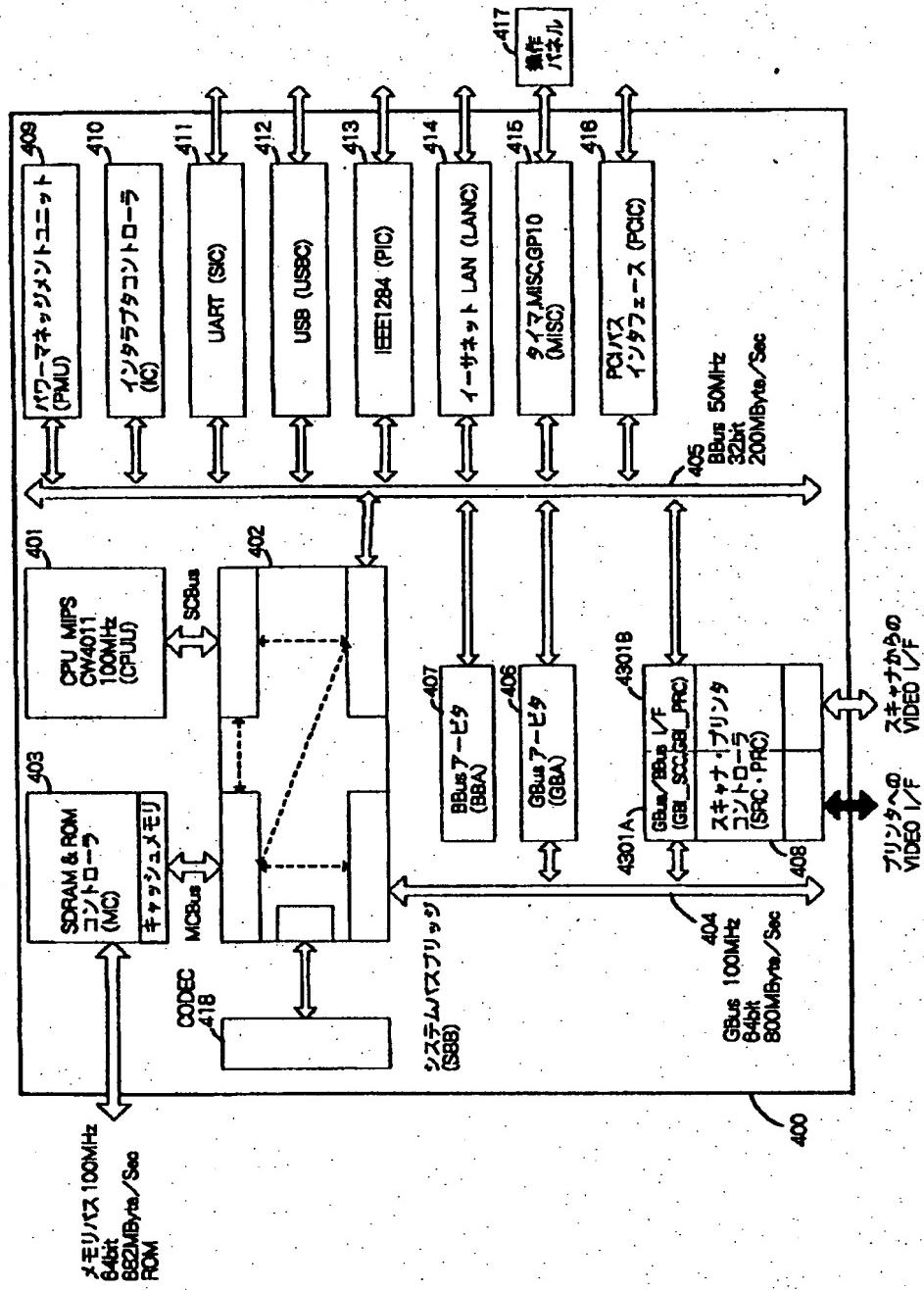
【図8】

第1の実施例によるメインコントローラの構成



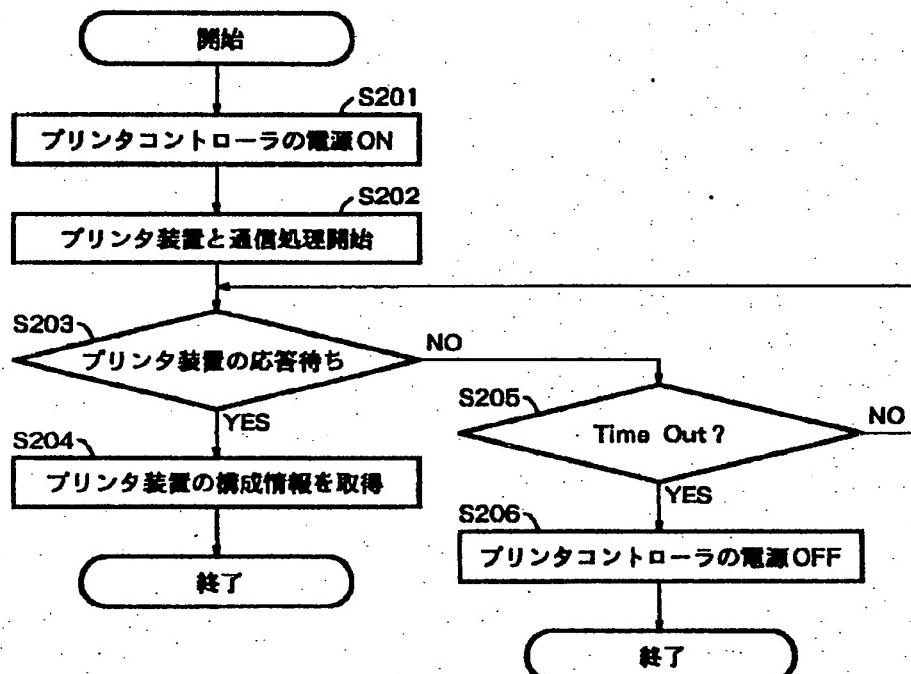
【図10】

第2の実施例によるメインコンントローラの構成



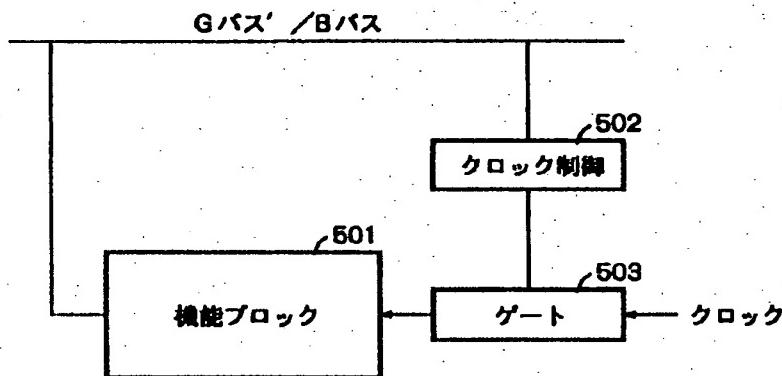
【図12】

第2の実施例の処理手順



【図13】

第1、第2の実施例による動作クロック制御構成



フロントページの続き

- F ターム(参考) 5B021 AA01 NN11
5B057 AA11 BA13 CH02 CH11 CH14
CH16
5B083 AA08 BB01 CC09 DD01 EF15
GG01
5C062 AA02 AA05 AA27 AA35 AB41
AB47 AB51 AC25 BA00 BA04
BA07